

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 253/006 CIP 2

In re patent application of

Jung-Ho LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: METHOD OF FORMING SILICON OXIDE LAYER IN SEMICONDUCTOR
MANUFACTURING PROCESS

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

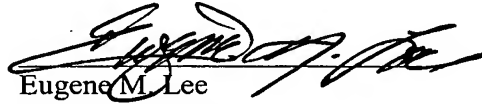
In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-10159, filed February 18, 2003.

A certified copy of Korean Application No. 2000-23448 was filed in parent application serial no. 09/686,624.

Respectfully submitted,

February 18, 2004
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010159
Application Number

출원 년 월 일 : 2003년 02월 18일
Date of Application FEB 18, 2003

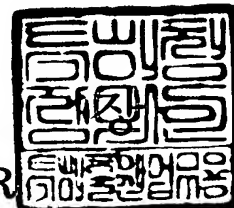
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.18
【발명의 명칭】	반도체 장치의 산화 실리콘막 형성방법
【발명의 영문명칭】	Method of forming silicon oxide layer in semiconductor manufacturing process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이정호
【성명의 영문표기】	LEE, Jung Ho
【주민등록번호】	700915-1149712
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 주공아파트 506동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	이동준
【성명의 영문표기】	LEE, Dong Jun
【주민등록번호】	640317-1351134
【우편번호】	135-946
【주소】	서울특별시 강남구 일원동 우성7차아파트 112동 405호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정식
【성명의 영문표기】	CHOI, Jung Sik
【주민등록번호】	650328-1011911

【우편번호】 138-775
【주소】 서울특별시 송파구 송파동 161번지 미성아파트 6동 1006호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 15 면 15,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 25 항 909,000 원
【합계】 953,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

품질이 향상된 반도체 장치의 산화 실리콘막 형성 방법이 개시되어 있다. 먼저, 상면에 형성된 단차부를 갖는 반도체 기판상에 SOG 조성물을 도포하여 평탄한 SOG막을 형성하도록 한다. 이후 100 내지 500℃의 온도 범위에서 1 내지 10분 동안 프리-베이킹하도록 한다. 웨이퍼의 로딩을 위한 퍼니스의 로딩 온도를 500℃이하의 온도 범위로 유지한 상태에서 웨이퍼를 로딩하도록 한다. 이후 500 내지 1200℃의 온도 범위에서 10 내지 120분 동안 메인-베이킹하도록 한다. SOG막을 최적화된 공정 조건에 의하여 산화 실리콘막으로 변환하는 것에 의해 결함의 발생이 최소화 되고 우수한 막질의 구현이 가능하다.

【대표도】

도 4b

【명세서】

【발명의 명칭】

반도체 장치의 산화 실리콘막 형성 방법{Method of forming silicon oxide layer in semiconductor manufacturing process}

【도면의 간단한 설명】

도 1a 및 1b는 본 발명의 바람직한 일실시예에서 적용되는 SOG막의 에지 비드 제거 방법을 설명하기 위하여 도시한 개략적인 단면도들이다.

도 2는 SOG 조성물의 코팅후 에지 비드 제거 방법을 적용한 경우와 적용하지 않은 경우에 발생하는 불량(defect)수를 비교하여 나타낸 그래프이다.

도 3은 SOG 조성물의 프리-베이킹 온도를 결정하기 위하여 폴리실라잔 니트 폴리머의 점도 거동을 추적하여 나타낸 그래프이다.

도 4a 내지 4k는 본 발명의 바람직한 일실시예에 따른 산화실리콘막의 형성 방법을 설명하기 위한 공정 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10...기판 13, 50, 54...SOG막

13a, 50a, 54a...산화 실리콘막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 반도체 장치의 산화 실리콘막 형성 방법에 관한 것으로서, 더욱 상세하게는 절연막의 형성을 위하여 폴리실라잔계 스핀온글래스(SOG; spin-on-glass) 조성물을 적용하는데 있어서 최적화된 공정 조건을 적용함으로써 우수한 막질을 갖는 산화 실리콘막을 형성하는 방법에 관한 것이다.
- <9> 근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여 반도체 장치는 집적도, 신뢰성 및 응답속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.
- <10> 집적 회로를 제조하기 위하여는, 단일 기판상에 많은 활성 소자를 형성하여야 한다. 처음에는 각 소자들은 서로 절연되어야 하지만, 회로의 소기 기능을 얻기 위하여는 제조 공정 도중에 특정 소자들을 전기적으로 상호 접속하여야 할 필요가 있다. MOS 및 바이폴라 VLSI 및 ULSI 장치들은 상기 소자들의 많은 상호 접속을 도모하는 다층 상호 접속(multilevel interconnection) 구조를 갖는다.
- <11> 이와 같은 상호 접속 구조에서, 층수(number of layers)가 증가함에 따라서, 최상층(top layer)의 형상(topography)은 더욱 더 굴곡화된다. 예를 들면, 둘 또는 그 이상의 금속층이 형성되어 있는 반도체 웨이퍼를 제조하는 경우에, 다수의 산화막, 다결정 실리콘 도전층 및 제1금속배선층이 형성되어 있는 반도체 웨이퍼에 제1층간 절연막을 형

성한 후, 제2금속층을 적층하기 위한 비아를 형성한다. 제1층간 절연막의 하부 구조물이 불편평(uneven)하기 때문에, 제1층간 절연막의 표면이 불편평하다. 그러한 제1 층간 절연막상에 제2금속층을 직접 형성하는 경우에는, 제2금속층은 제1층간 절연막의 돌출부나 크랙때문에 균열(fracture)하고 제1층간 절연막상의 금속 도포가 불량하게 된다. 이러한 불량이 반도체 장치의 수율을 저하시키고, 따라서, 다층 금속 접속구조(multilevel metal interconnection)에서는 비아 또는 제2금속층을 형성하기 전에 층간 절연막의 평탄화가 필요하다.

<12> 층간 절연막을 평탄화에 대하여는, 리플로우 특성이 높은 BPSG (Borophosphorous Silicate Glass)막이나 SOG막을 이용하는 방법이나, 화학적 기계적 연마(Chemical Mechanical Polishing; CMP)법등 각종의 방법이 개발되고 있다.

<13> 일반적으로 금속 배선간의 갭을 매몰하기 위한 층간 절연막의 재료로서는 BPSG를 이용하는 방법이 널리 사용되어 왔다. 그렇지만, BPSG를 증착하는 공정은 설비간의 의존성 및 챔버상태의 의존성이 강하고, 사용되고 있는 가스도 고가일뿐만 아니라 독성이 강하여 인체에의 위험성을 내포하고 있다.

<14> 더구나, 현재의 256메가 디램급 이상의 VLSI를 제조하기 위하여는 집적도가 증가하고 디자인룰이 감소함에 따라, BPSG를 사용하여 층간 절연막을 형성하여 배선간의 갭의 매립할 때는 갭필도 어려워지고 보이드 생성에 의한 브리지의 형성으로 인하여 수율이 저하한다거나 후속 공정에서의 사용될 에칭 스탱층이 손상될 수 있다. 이를 피하기 위하여는 추가적인 리플로우 공정과 고비용의 CMP공정을 수행하여야 할 필요성이 있다.

<15> BPSG가 갖는 문제를 해결하기 위하여 대안으로 선택될 수 있는 것이 갭필 능력이 우수한 TEOS(tetra ethyl orthos silicate), USG(undoped silicate glass), HDP

CVD(high density plasma enhanced chemical vapor deposition) 등이다. 그러나 이들 막 질 역시 CD(critical dimension) 가 $0.18\mu\text{m}$ 이하의 디자인 룰에서 보이드(void)나 심(seam)을 발생시키기 쉽다는 문제가 있다.

<16> 이에 반하여 SOG를 이용한 절연막을 형성하는 공정은 단순한 코팅 공정으로 평탄한 절연막을 형성할 수 있는 공정으로 널리 알려져 있다. SOG는 도포시 액상 혹은 졸 상태를 가지므로 갭필 특성이 좋고, 단차를 줄이는 효과가 우수하다.

<17> 한편, SOG 물질 가운데 실라잔(silazane) 계열은 $-(\text{SiR}_1\text{R}_2\text{NR}_3)_n-$ 로 표시될 수 있는 평균 분자량 1000 내지 10000 정도의 물질로서 R_1 , R_2 및 R_3 가 모두 수소로된 퍼하이드로 폴리실라잔이나 R_1 , R_2 및 R_3 가 각각 탄소 1 내지 8개의 알킬기나 기타 아릴기, 알콕시기로 이루어진 유기 폴리실라잔 같은 물질이다. 이는 디부틸 에테르, 톨루엔, 크실렌 같은 유기 용매에 일정 중량%로 포함된 상태로 도포에 사용된다. 통상 폴리실라잔으로 불리는 이러한 SOG 도포 물질은 실리케이트나 실록산 계열에 비해 높은 온도에서 열처리가 이루어지고 보다 완전한 큐어링이 가능하여 습식 식각에 대한 저항성이 높다. 따라서 공정 적용이 용이하다. 폴리실라잔막은 또한 두껍게 형성될 수 있으며 기판 전반에 대한 평탄화 상태가 개선되어 상부에 캡핑 산화막을 형성하지 않고도 CMP와 같은 후속 공정을 진행할 수 있다.

<18> 폴리실라잔의 제조 방법은 공지되어 있다. 대표적인 방법으로는 할로실란과 루이스 염기를 반응시키고, 수득한 복합체(complex compound)를 암모니아와 반응시켜서 제조할 수 있다.

<19> 이외에도, SiCl_4 또는 SiH_2Cl_2 와 같은 실리콘 할라이드와 아민을 반응시켜 폴

리실라잔을 합성하는 방법, 실라잔을 알칼리금속할라이드 촉매를 사용하여 폴리실라잔으로 전환하는 방법, 전이 금속 복합 촉매(transition metal complex compound)를 사용하여 아민 화합물로 실란 화합물을 탈수소(dehydrogenation)하는 방법 등이 공지되어 있다.

<20> 또한, 미합중국 특허 제5,494,978호(issued to Yasuo Shimizu et. al.)에는 수평균 분자량이 100 내지 100,000인 무기 폴리실라잔을 이용하여 변성된 폴리실라잔을 제조하는 방법이 개시되어 있다.

<21> 미합중국 특허 제5,905,130호(issued to Hirohiko Nakahara et al.)에는 폴리아미노실란 화합물과 폴리하이드로젠화된 질소 함유 화합물(polyhydrogenated nitrogen-containing compound)를 염기 촉매하에서 반응시키거나, 폴리하이드로젠화 실리콘 화합물(polyhydrogenated silicon compound)과 폴리하이드로젠화 질소-함유 화합물을 염기성 고체 산화물 촉매(basic solid oxide catalyst)의 존재하에 반응시켜서 폴리실라잔을 제조하는 방법이 개시되어 있다.

<22> 미합중국 특허 제5,436,398호(issued to Yasuo Shimizu et al.)에도 수평균 분자량이 1,120인 퍼하이드로폴리실라잔의 제조예가 개시되어 있다.

<23> 미합중국 특허 제4937304호(issued to Ayama et al.) 및 제4950381호(issued to Takeuchi et al.)에는 원하는 분자량을 갖는 폴리실라잔을 제조하는 방법이 개시되어 있다.

<24> 폴리실리잔을 이용한 실리콘산화막의 형성 방법도 다음과 같이 다수 개시되어 있다.

- <25> 예를 들면, 미합중국 특허 제5,310,720호(issued to Shin et al.)에는 폴리실라잔층을 형성한 후, 폴리실라잔층을 산소분위기에서 하소(firing)하여 산화실리콘층으로 전환시키는 방법이 개시되어 있다. 또한, 미합중국 특허 제5,976,618호(issued to Shunichi Fukuyama et al.)에는 무기 SOG를 도포한 후, 2 단계의 열처리 공정을 거쳐서 이를 산화실리콘막으로 전환시키는 방법이 개시되어 있다.
- <26> 폴리실라잔계의 SOG는 기본 골격이 Si-N, Si-H, N-H결합으로 구성되고, 산소 및 물을 포함하는 분위기중에서 베이킹하면 Si-N 결합이 Si-O결합으로 치환된다. 이와 같은 SOG를 이용하여 산화 실리콘막으로 전환하는 방법은 간단한 스핀 코팅 방법과 경화 공정에 의해 수행할 수 있어서, 비용이 절감된다는 장점을 가지고 있다. 또한 하부 패턴 사이의 갭에 의한 단차를 극복하기 위하여 매우 용이하게 적용되는 막이다.
- <27> 그렇지만, 모든 Si-N 결합이 Si-O 결합으로 치환되지 않는 것으로 알려져 있다. (일본국 특개평 11-145286 참조) 따라서, 생성되는 산화 실리콘막은 종래의 사용되는 BPSG막이나 TEOS막등과 같은 산화 실리콘막과는 다른 절연성 및 전기적 특성을 갖고 있기 때문에 층간 절연막으로 사용되는데는 문제점이 있어 왔다.
- <28> 또한, 스핀 코팅 방식으로 도포를 하기 때문에 생성되는 산화 실리콘막의 두께도 불충분하여 하부 구조물인 게이트 전극이나 금속 배선과 같은 도전층 패턴등을 충분하게 커버할 수 없었다.
- <29> 이에 본 발명자들은 산화 실리콘으로 완전하게 전환되어 용이하게 산화실리콘막을 형성할 수 있는 SOG 조성물을 개발하여 이를 한국 특허출원 제2000-23448호로 출원한 바 있고, 이의 우선권 주장 출원인 제2000-59365호가 현재 한국 특허청에 계속중이다.

<30> 폴리실라잔을 도포하면 베이클를 통해 용매 성분만 제거한 뒤 통상 600℃ 이상의 고온에서 열처리하는 것을 통하여 큐어링을 실시한다. 그런데, 도포막으로부터 400℃를 전후한 온도에서 발생 배출되기 시작하는 사일렌(SiH_4)가스가 고온 열처리 과정에서 다량 배출되면서 질소와 같은 다른 배출 성분 및 분위기 가스인 산소 등과 쉽게 결합한다. 그 결과, 기판 표면과 설비 내부에 실리콘 질화막 혹은 실리콘 산화막으로 이루어진 수백 옴스트롬 크기의 다수의 파티클을 형성한다. 그리고 파티클은 해당 기판과 설비 내에서 진행될 다른 런의 기판에 파티클 불량을 유발시키는 문제가 발생한다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명에서는 상기한 바와 같이 절연막의 형성을 위하여 SOG 조성물을 적용하는 경우에 유발되는 문제점을 해결하기 위하여 SOG 조성물을 적용하여 산화실리콘막을 형성하기 위한 공정을 최적화함으로써 각종 불량의 발생을 방지하고 막질의 특성을 향상시킬 수 있는 반도체 장치의 산화실리콘막 형성 방법을 제공하고자 한다.

【발명의 구성 및 작용】

<32> 상기한 본 발명의 목적을 달성하기 위하여 본 발명에서는

<33> 상면상에 형성된 단차부를 갖는 반도체 기판상에 스핀온글라스(SOG; spin-on-glass) 조성물을 도포하여 평탄한 SOG막을 형성하는 단계;

<34> 100 내지 500℃의 온도 범위에서 1 내지 10분 동안 프리-베이클하는 단계;

<35> 웨이퍼의 로딩을 위한 퍼니스의 로딩 온도를 500℃이하 온도 범위로 유지하는 단계;
;

<36> 웨이퍼를 로딩하는 단계; 및

- <37> 500 내지 1200℃의 온도 범위에서 10 내지 120분 동안 메인-베이킹하는 단계를 포함하는 반도체 장치의 산화 실리콘막 형성 방법을 제공한다.
- <38> 특히, 상기 산화 실리콘막의 형성후 CMP(chemical mechanical polishing) 공정을 더 수행하는 경우, 상기 SOG막의 형성후 에지 비드 제거(edge bead removal) 공정을 더 수행하는 것이 바람직하다.
- <39> 또한 상기 프리-베이킹은 130 내지 230℃의 온도 범위에서 4 내지 6분 동안 수행되 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하는 것이 바람직하다.
- <40> 상기 메인-베이킹은 30 내지 60분 동안 수행되 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하는 것이 또한 바람직하다.
- <41> 한편, 상기 웨이퍼의 로딩후 퍼니스의 온도를 7±3℃/분의 속도로 상승시키는 공정을 더 수행하는 것이 바람직한데, 이 공정은 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하는 것이 바람직하다.
- <42> 특히, 상기 SOG 조성물로서는 폴리실라잔계 SOG 조성물이 바람직하게 적용되는데, 더욱 바람직하게는 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 20 내지 30중량% 및 용매 80 내지 70중량%를 포함하는 것이 적용된다.

- <43> 이상과 같이 본 발명의 방법에 의하면 SOG 조성물, 특히 폴리실라잔계 물질을 적용하고 이를 열처리 하는 것에 의해 산화 실리콘막을 형성하는 공정이 최적화 되어 불량 발생이 최소화 되면서 우수한 막질의 산화막을 형성할 수 있게 된다.
- <44> 이하, 본 발명을 공정 순서에 따라 첨부된 도면을 참고로 하여 더욱 상세하게 설명한다.
- <45> 먼저, 상면상에 형성된 단차부를 갖는 반도체 기판상에 SOG 조성물을 도포하여 평탄한 SOG막을 형성하도록 한다. 적용되는 SOG 조성물로서는 겹필 특성이 우수하고 형성되는 막의 평탄도가 우수한 폴리실라잔계 SOG 조성물이 바람직하다.
- <46> 먼저, 웨이퍼를 매우 빠른 속도로 회전시킨 상태에서 액상의 SOG 조성물을 스핀 코팅 방식으로 적용하고 원심력을 이용하여 기판상에 평탄하게 형성한다. 그런데, 액상의 물질을 적용하고 회전시킴에 따라 SOG막을 형성하는 과정에서 기판의 가장자리에 비드(bead)(링형상의 장식)가 형성되어 기판의 가장자리가 비정상적으로 두꺼워지는 문제가 발생한다.
- <47> 일반적으로 이용되고 있는 CMP 연마 공정은 웨이퍼 보다 큰 연마 패드를 사용하여 막을 연마하는 것으로 수행된다. 그런데 웨이퍼상에 액상의 물질을 적용하여 막을 형성하는 경우 상술한 바와 같이 가장자리가 두껍게 형성되며 CMP 연마 패드의 구조상 웨이퍼 에지 다이들에서 심하게 연마되는 문제가 발생하게 된다. 결국 이 영역에서의 각종 물질이 이탈되어 나가 각종 불량을 야기하고 후속 공정에 치명적인 디펙트로 작용하는 문제가 있다. 특히 CMP 연마 공정후의 연마된 부분의 평탄도는 반도체 소자의 패턴이나 패턴 밀도에 상당한 영향을 주는데, CMP 공정중에 발생된 파티클과 같은 각종 물질로 인하여 잔류막에 U-스크래치나 디펙트가 유발되는 문제가 발생할 수 있는 것이다.

- <48> 이러한 문제를 해결하기 위하여 기판의 가장자리에 두꺼워진 막을 제거하기 위한 웨이퍼 에지 비드 제거 방법을 사용하도록 한다. 이를 도면을 참고로 하여 더 상세히 설명한다.
- <49> 도 1a 및 1b는 본 발명의 바람직한 일실시예에서 적용되는 SOG막의 에지 비드 제거 방법을 설명하기 위하여 도시한 개략적인 단면도들이다.
- <50> 도 1a를 참고하면, 상부에 각종 소자가 형성되어 있는 반도체 기판(10)을 절연막(11)으로 덮는다. 그리고 절연막(11) 상에 다수개의 금속 배선(13)을 형성하고, 다수의 금속 배선 사이의 간격을 메우기 위한 SOG막(15)을 형성한다. 이 때, SOG막(15)은 SOG 용액을 기판위에 분사하고 회전 코팅을 실시하여 기판상에 도포하는 방식으로 형성한다.
- <51> 이어, 노즐(17)을 통하여 SOG를 용해시키는 SOG 제거 용액을 분사하여 기판의 가장자리 부분에 존재하는 SOG 잔량을 제거하는 EBR 작업을 진행한다. 통상적으로 SOG는 크실렌과 같은 방향족계 용매, 디부틸에테르와 같은 에테르에 용해되므로 이러한 용매를 사용하는 것이 가능하다. 이 때, 기판의 상부에서 기판의 가장자리로부터 3~5mm 되는 부분을 향하여 이 용액을 분사하도록 한다.
- <52> 도 1b를 참고하면, 이러한 EBR 작업을 통하여 웨이퍼의 에지 부분에 도포된 SOG막이 제거되어 깨끗한 단부를 갖는 SOG막(15a)이 형성되어 있다.
- <53> 이와 같이 SOG막의 도포후 EBR 작업을 수행하면 후속 CMP 공정의 진행시, 웨이퍼의 베벨(bevel) 부분에서 야기되는 파티클에 의한 U-스크래치나 불량(defect)이 방지될 수 있다. 따라서, SOG막을 형성하고 경화 공정을 통하여 산화 실리콘막을 형성한 후에, CMP

공정을 수행하여 평탄화하는 경우, SOG막의 형성후에 EBR 작업을 적용하는 것이 바람직하다.

<54> 도 2는 SOG 조성물의 코팅후 에지 비드 제거 방법을 적용한 경우와 적용하지 않은 경우에 발생하는 불량(defect)수를 비교하여 나타낸 그래프이다. 도면에서 no EBR은 종래의 방법에 따라 EBR을 적용하지 않은 경우에 대응되고, EBR은 본 발명의 방법에 따라 EBR을 적용한 경우에 대응되는 것이다. 도 2를 참고하면, EBR을 적용하지 않은 경우에는 불량수가 300~500개로 관찰되지만, EBR을 적용한 경우에는 불량수가 100개 미만으로 감소됨을 확인할 수 있다.

<55> SOG 조성물의 도포 및 EBR 공정이 완료된 후 프리-베이킹 공정을 수행하도록 한다. 프리-베이킹 온도를 결정하기 위하여 폴리실라잔 니트 폴리머의 점도 거동을 살펴보았다.

<56> 도 3에는 SOG 조성물의 프리-베이킹 온도를 결정하기 위하여 폴리실라잔 니트 폴리머의 점도 거동을 추적하여 그래프로 나타내었다. 폴리머의 흐름성(flowability)을 유지하기 위해서는 가능한 낮은 점도값을 갖는 온도에서 프리-베이킹을 진행하는 것이 바람직하다. 프리-베이킹 공정은 100 내지 500℃의 온도 범위에서 1 내지 10분 동안 수행하도록 한다. 이는 만약 온도가 100℃ 보다 낮으면 SOG 조성물내의 용매가 제거되지 않고 500℃ 보다 높으면 폴리머의 흐름성이 떨어져서 코팅 균일도가 나빠지기 때문이다. 그리고 프리-베이킹 공정을 1분 보다 짧은 시간 동안 수행하면 용매가 증발되지 않거나 후속 공정을 진행하기에 적절하지 않은 상태가 될 가능성이 있고, 10분 보다 긴 시간 동안 수행하면 표면 경화가 기대치 보다 많이 발생하기 때문에 상기한 시간 범위내에서 수행하도록 한다. 더욱 바람직하게, 상기 프리-베이킹은 그래프에서 박스로 표시한 범위의

점도를 갖는 온도범위인 130 내지 230℃의 온도 범위에서 4 내지 6분 동안 수행하도록 한다.

- <57> 더욱 바람직하게, 상기 프리-베이킹은 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하도록 한다.
- <58> 프리-베이킹 공정이 완료되면 막의 특성을 결정하는 중요한 단계인 메인-베이킹 공정이 수행된다. 도포된 SOG막은 메인-베이킹을 거치면서 완전히 산화실리콘으로 전환되고, 이에 더하여 더욱 치밀(dense)하고 결함이 없는 막으로 형성된다. 이러한 메인-베이킹 공정은 크게 세가지 스텝으로 나뉘어 진행된다.
- <59> 먼저, 웨이퍼의 로딩을 위하여 퍼니스의 로딩 온도를 500℃ 이하 온도 범위로 유지하도록 한다. 만약 로딩 500℃ 보다 높게 유지하면 웨이퍼의 표면에 크랙, 리프팅, 디펙트 등이 발생할 수 있으므로 이보다 높아지지 않도록 할 필요가 있다. 프리베이킹이 100℃ 이상의 온도, 바람직하게는 약 200℃ 정도의 온도에서 수행되기 때문에 실질적으로 로딩시 퍼니스 내부는 약 100~200℃ 정도의 온도로 유지된 상태이다. 우수한 막질을 얻기 위해서는 온도가 낮을수록 바람직하여 100℃ 이하도 가능하고 하한 온도는 제한할 필요가 없다. 그러나 만약 퍼니스의 로딩 온도를 너무 낮게 유지하면 오히려 생산성이 떨어지고, 이전 단계인 프리 베이킹 공정을 고려할 때 약 200~500℃ 온도 범위가 바람직하다.
- <60> 웨이퍼를 로딩한 후, 퍼니스의 온도를 상승시키도록 하는데, 상승 속도는 7℃/분으로 유지하는 것이 바람직하다. 만약 상승 속도를 주어진 속도 보다 느리게 하면 생산성이 저하되고, 주어진 속도 보다 빠르게 하면 웨이퍼 표면만 경화될 수도 있기 때문에 상기한 범위로 유지하는 것이 바람직하다.

- <61> 우수한 막질의 구현을 위해서, 퍼니스의 온도 상승은 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하는 것이 바람직하며, 가장 바람직하게는 산소 분위기하에서 수행하도록 한다.
- <62> 마지막으로, SOG를 실리카로 전환시키기 위하여 500 내지 1200℃의 온도 범위에서 10 내지 120분 동안 메인-베이킹하도록 한다. 만약 메인-베이킹 온도를 500℃ 보다 낮게 하면 표면 경화나 실리카로의 전환이 충분히 이루어지지 않을 수 있고 1200℃ 보다 높게 하면 이미 형성된 소자등에 영향을 미칠 수 있으므로 주어진 온도 범위에서 수행하도록 한다. 만약 메인-베이킹 시간이 10분 보다 짧으면 충분히 실리카로 전환되지 않을 수 있고, 120분 보다 길면 후속 공정에 적절하지 않은 막이 형성될 수 있으므로 주어진 시간 동안 메인-베이킹 공정을 수행하도록 한다.
- <63> 바람직하게 상기 메인-베이킹은 700 내지 1000℃의 온도 범위에서 30 내지 60분 동안 수행하도록 한다. 또한 상기 메인-베이킹은 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행하는 것이 바람직하며 가장 바람직하게 산소와 수증기의 혼합 분위기하에서 수행하도록 한다.
- <64> 한편, 본 발명의 방법에 용이하게 적용될 수 있는 SOG 조성물로서는 폴리실라잔계 SOG 조성물을 예로 들 수 있는데, 더욱 바람직하게는 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 포함하는 조성물을 적용할 수 있다. 이러한 조성물은 본 발명과 동일한 출원인이 2000년 5월 2일자로 출원한 한국 특허 출원 제2000-23448호에 개시되어 있다.

- <65> 본 발명에서 사용되는 폴리실라잔의 제조 방법에는 특별한 제한은 없으며 공지된 방법에 의해 제조된 퍼하이드로 폴리실라잔을 모두 적용할 수 있다.
- <66> 상술한 바와 같은 바람직한 퍼하이드로 폴리실라잔을 유기 용매에 용해시켜서 SOG 용액을 제조한다. 본 발명에서 사용될 수 있는 유기 용매로서는 특별한 제한은 없다. 바람직하게는, 크실렌과 같은 방향족계 용매, 디부틸에테르와 같은 에테르 등을 사용할 수 있다. 폴리실라잔의 농도가 20 내지 30중량%, 바람직하게는 22 내지 25중량%가 되도록 SOG 조성물을 제조하도록 한다.
- <67> 폴리실라잔을 포함하는 SOG 용액은 하부막 예를 들면, 실리콘 질화막에 대하여 4° 이하의 콘택트 각을 갖는 것이 바람직하다. 콘택트각이 4°보다 크면, 하부막과의 부착력(adhesion)이 나빠서 바람직하지 않다.
- <68> 또한 상기 SOG용액은 일정한 전단 속도에서 1 내지 10 mPa.s, 바람직하게는 1 내지 8 mPa.s의 일정한 점도를 갖는다. 상기 SOG용액은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는다.
- <69> 상기 SOG용액은 필요에 따라서는 붕소, 불소, 인, 비소, 탄소, 산소 등과 같은 원소를 포함하는 화합물을 불순물로서 적어도 하나 포함할 수 있다. 이러한 불순물 중에서, 붕소, 불소, 인, 비소와 같은 원소를 SOG 용액에 첨가하는 경우에는, SOG 용액으로부터 생성되는 산화 실리콘막이 불순물을 포함하게 되어 종래의 BSG막, BPSG막, PSG막과 유사한 특성을 갖는 막으로 전환된다. 또한, 탄소나 산소와 같은 원소를 포함하는 화합물을 불순물로서 첨가하면, 산화 실리콘막으로 전환되는 속도를 촉진시킬 수 있다.

- <70> 상기 SOG 용액을 스핀 코팅방법에 의해 상면상에 형성된 단차부를 갖는 반도체 기판상에 도포하여 평탄한 SOG막을 형성한다.
- <71> 상기 단차부는 적어도 두 개의 배선층 패턴에 의해 형성될 수 있다. 예를 들면 게이트 전극 패턴이나 비트 라인과 같은 도전성 금속 배선 패턴층일 수 있다. 상기 두 개의 도전층 패턴간의 거리는 제한이 없다. 그렇지만, 일반적으로 $1\mu\text{m}$ 보다 넓으면 종래의 BPSG를 이용하여 산화막을 형성하는 방법이 적용될 수도 있고, $0.04\mu\text{m}$ 보다 좁으면 SOG 용액의 우수한 단차 도포성에도 불구하고 보이드의 형성가능성이 있어서 바람직하지 않다. 따라서, 0.04 내지 $1\mu\text{m}$ 정도의 갭을 갖는 도전층 패턴들이 형성되어 있는 반도체 기판상에 도포하는 것이 바람직하다.
- <72> 이 때, 상기 도전층 패턴에 형성된 갭에 대한 깊이의 비인 어스펙트비가 낮아도 가능하지만, 약 5:1 내지 10:1정도의 어스펙트비를 갖는 도전층 패턴 부위를 도포할 수 있다.
- <73> 일반적으로, 반도체 기판상에는 소자 형성 부위에 따라서 게이트 전극들을 포함하는 셀어레이와 같이 도전층 패턴들이 밀집되어 있는 밀집단차부와 이러한 도전층 패턴의 드물게 형성되는 주변 회로부와 같은 글로벌 단차부가 공존한다. 본 발명의 방법은 상술한 바와 같은 어스펙트비가 5:1 내지 10:1인 밀집 단차부와 어스펙트비가 1:1 이하인 글로벌 단차부를 포함할 수 있다.
- <74> 또한, 상기 단차부는 반도체 기판의 요철부에 의해 형성될 수 있다. 구체적으로는 STI(Shallow Trench Isolation)구조를 갖는 격리구조(Isolation structure)를 형성하기 위한 홈과 돌출부에 의해 형성된 단차부를 갖는 반도체 기판상에 본 발명에 따른 산화막을 형성하여 STI 구조의 소자 분리막을 형성할 수 있다.

- <75> 또한, 상기 단차부는 절연막상에 형성된 금속 배선들에 의해 형성될 수 있다. 즉, 절연막상에 형성된 금속 배선을 절연시키기 위한 절연막으로서 본 발명에 따른 방법에 의해 실리콘 산화막을 형성하여 중간 절연막으로서 사용할 수도 있다.
- <76> 본 발명에 따른 방법에 의해 SOG 조성물을 이용하여 1회의 공정으로 두께가 4000 내지 6500 Å인 산화 실리콘막을 형성할 수 있다. 또한, 상기 SOG 조성물을 도포하기 전에 도전층 패턴의 상면 및 측면에 식각 저지막으로서 질화실리콘막을 200 내지 600 Å의 두께로 형성할 수도 있다.
- <77> 이하, 본 발명에 따른 반도체 장치의 산화 실리콘막 형성 방법을 구체적인 실시예를 통하여 상세히 설명한다.
- <78> 도 4a 내지 4k는 본 발명의 바람직한 일실시예에 따른 산화실리콘막의 형성 방법을 설명하기 위한 공정 단면도들이다.
- <79> 도 4a를 참조하면, 실리콘(Si)과 같은 반도체로 이루어진 p형 기판(10)을 준비한다. 상기 기판(10)의 상부에 소자 분리 영역을 에칭하여 트렌치(12)를 형성한다. 상기 트렌치(12)는 깊이 4600 Å이고, 폭이 1250 Å이다.
- <80> 시판중인 퍼하이드로 폴리실라잔을 구입하여 분별법(fractionation)에 의해 중량 평균 분자량이 4500 내지 7000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔을 수득하도록 한다. 수득한 퍼하이드로 폴리실라잔을 크실렌에 22 내지 25중량%의 농도로 용해시켜서 스핀온글래스 조성물을 제조한다.
- <81> 트렌치(12)가 형성된 기판(10)상에 상기에서 제조된 SOG용액을 6000-7000 Å 두께로 도포하여 제1 SOG막(13)을 형성한다. 다음에, EBR 공정을 적용하도록 한다. 웨이퍼의 가

장자리로부터 3~5mm 되는 부분을 향하여 크실렌을 분사하여 에지 부분에 형성된 비드를 제거하도록 한다.

<82> 도 4b를 참조하면, 상기 제1 SOG막(13)을 질소 분위기하, 약 170℃의 온도에서 약 4분간 프리-베이킹 공정을 수행하도록 한다. 이후, 퍼니스의 온도를 약 400℃ 정도로 유지시킨 상태에서 웨이퍼를 로딩시키고 퍼니스의 온도를 약 7℃/분의 속도로 상승시키도록 한다. 이 때 퍼니스내의 분위기를 산소 분위기를 유지하도록 한다. 온도를 약 800℃까지 상승시키고 이 온도에서 약 50분간 메인-베이킹 공정을 수행하여 제1 산화 실리콘막(13a)으로 전환시킨다. 이때, 분위기는 수분이 약 86 중량% 함유된 수증기 분위기에서 수행한다.

<83> 다음에, 도 4c를 참조하면, 수득한 제1 산화 실리콘막(13a)을 화학적 기계적 연마 방법(CMP)에 의해 반도체 기판(10)의 상부 표면에 노출될 때까지 연마하여, 도시한 바와 같이, 상기 트렌치(12)의 내부를 산화 실리콘(14)으로 매립된 소자 분리 영역을 형성한다.

<84> 도 4d를 참조하면, 메모리셀을 형성할 영역(셀 영역)의 반도체 기판(10)에 n형 불순물, 예를 들면 인(P)을 주입하여 n형 반도체 영역(20)을 형성하고, 셀어레이 영역과 주변회로 영역의 일부에 p형 불순물, 예를 들면 붕소(B)를 이온 주입하여 p형 웰(30)을 형성하고, 주변 회로 영역의 나머지 일부에 n형 불순물, 예를 들면 인(P)을 이온 주입하여 n형 웰(40)을 형성한다.

<85> 다음에, 문턱 전압을 조절하기 위한 불순물, 예를 들면 BF_2 (불화 붕소)를 p형 웰(30) 및 n형 웰(40)에 이온주입한다. 이어서, p형 웰(30) 및 n형 웰(40)의 각 표면 부위를 불산계 세정액을 사용하여 세정한 후, 반도체 기판(10)을 습식산화하여 p형 웰(30)

및 n형 웰(40)의 각 표면부위에 게이트 산화막(16)을 형성한다. 이 때, 상기 트렌치(12)의 내면부위의 기판의 일부도 부분적으로 산화하여, 게이트 산화막(16)은 연속적으로 형성된다. 상기 게이트 산화막(16)은 약 40~200Å의 두께를 갖는다.

<86> 도 4e를 참조하면, 필드 산화막으로 트렌치(12)에 매립된 산화 실리콘(14) 및 게이트 산화막(16)이 형성된 기판(10)의 전면에 예를 들면 P(인)등의 n형 불순물로 도핑된 다결정 실리콘막을 저압 화학기상증착(LPCVD) 방법으로 증착하여 약 500~4000Å의 두께를 갖는 폴리실리콘막을 형성한다. 이어서, 상기 폴리실리콘막상에 규화 텅스텐막과 텅스텐막을 스퍼터링 방법으로 각각 1000-2000Å의 두께를 갖도록 침적한 후, 상기 텅스텐막상에 질화실리콘막을 적층한다. 상기 질화 실리콘막은 저압 화학기상증착 또는 플라즈마증대 화학기상증착(PECVD) 방법을 이용하여 약 500~2000Å 정도의 두께를 갖도록 형성한다.

<87> 상기 질화 실리콘 막상에 포토 레지스트막을 형성한 후, 마스크를 사용하여 상기 포토 레지스트막을 선택적으로 노광한다. 다음에 상기 포토 레지스트막을 현상하여 게이트 전극을 형성하기 위한 포토레지스트 패턴(22)을 형성한다. 상기 포토 레지스트 패턴(22)을 에칭마스크로 사용하여 상기 질화 실리콘막, 텅스텐막, 질화 텅스텐 막 및 폴리실리콘막을 차례로 식각하여, 폴리실리콘 패턴(24a), 규화 텅스텐 패턴(24b), 텅스텐 패턴(24c) 및 질화 실리콘 패턴(24d)으로 구성된 게이트 전극들(24Ga, 24Gb, 24Gc, 24WL)을 형성한다.

<88> 도 4f를 참고하면, 포토레지스트 패턴(22)을 제거하면, 셀어레이 영역에는 게이트 전극들(24Ga)과 워드 라인(24WL)이 형성되고, 주변회로 영역에도 각각 게이트 전극(24Gb 및 24Gc)이 형성된다.

- <89> 셀 어레이 영역에 형성되는 게이트 전극(24Ga, 24WL)들은 게이트 전극들간의 갭이 0.4 내지 1 μ m로 형성되고, 게이트 전극들(24Ga, 24WL)의 갭에 대한 높이의 비인 어스펙트비는 5:1 내지 10:1인 밀집 단차부를 형성하고 있다. 반면에, 주변 회로 영역에 형성되는 게이트 전극들(24Gb, 24Gc)은 게이트 전극들간의 갭에 대한 높이의 비인 어스펙트비는 1:1이하인 글로벌 단차부를 형성한다.
- <90> 도 4g를 참조하면, n형 웰(40)에 p형 불순물, 예를 들면 붕소를 이온 주입하여 게이트 전극(24Gc)의 양측의 n형 웰(40)에 p-형 불순물 영역(25)을 형성한다. 또한, p형 웰(30)에 n형 불순물, 예를 들면 인을 이온주입하여 게이트 전극(24Gb)의 양측의 p형 웰(30)에 n형 불순물 영역(27)을 형성하고, 게이트 전극(24Ga)의 양측의 p형 웰(20)에는 n형 불순물 영역(26)을 형성한다.
- <91> 이후 기상 산화 증착법에 의해 질화 실리콘을 증착시켜 두께 200 내지 600Å인 질화실리콘막(32)을 형성한다. 다음에, 셀어레이 영역의 질화실리콘막(32)은 포토레지스트막으로 덮고, 주변 회로의 질화실리콘막(32)은 이방성 에칭하여 주변회로의 게이트 전극(24Gb, 24Gc)의 측벽이 스페이서(32a)를 형성한다.
- <92> 다음에, 주변회로의 n형 웰(40)에 p형 불순물, 예를 들면 붕소를 이온 주입하여 p+형의 불순물 영역(소오스, 드레인 영역)을 형성한다. 또한, 주변회로의 p형 웰(30)에 n형 불순물, 예를 들면 비소(As)를 이온 주입하여 n+형의 불순물 영역(소오스, 드레인 영역)을 형성한다.
- <93> 도 4h를 참조하면, 반도체 기판(10)상에 상기 SOG 용액을 도포하여 제2 SOG막(50)을 형성한다. 상기 제2 SOG막(50)은 스핀 코팅방법에 의해 도포된다. 이 때, 회전 속도

는 500 내지 2500 rpm이다. 상기 SOG 층(50)은 7500 내지 8200 Å의 두께를 가지면서, 게이트 전극들(24Ga, 24Gb, 24Gc, 24GWL)을 완전하게 덮도록 형성한다.

<94> 다음에, 상기 제2 SOG막(50)을 질소 분위기하, 약 170℃의 온도에서 약 4분간 프리-베이킹 공정을 수행하도록 한다. 퍼니스의 온도를 약 400℃ 정도로 유지시킨 상태에서 웨이퍼를 로딩시키고 퍼니스의 온도를 약 20℃/분의 속도로 상승시키도록 한다. 이때 퍼니스내의 분위기를 산소 분위기를 유지하도록 한다. 온도를 약 800℃ 까지 상승시키고 이 온도에서 약 50분간 메인-베이킹 공정을 수행하도록 한다. 메인-베이킹은 수분이 약 86 중량% 함유된 수증기 분위기에서 수행한다.

<95> 상술한 경화 공정을 통하여 제2 SOG막(50)의 Si-N결합은 Si-O 결합으로 치환되어, 실리콘 산화막으로 전환된다. 그러면 도 4i에 도시한 바와 같이, 이때, 두께는 약 19 내지 20%정도 수축된 제2 산화 실리콘 막(50a)을 수득한다.

<96> 도 4j를 참조하면, 상기 제2 산화 실리콘막(50a)상에 통상적인 스퍼터링 방법에 의해 알루미늄, 텅스텐 등과 같은 금속을 증착시켜 두께 5000 Å의 금속층을 형성한다. 상기 금속층을 사진 식각방법에 의해 패터닝하여 폭이 6600 Å이고, 갭이 8400 Å인 금속층 패턴들(52)을 형성한다.

<97> 다음에, 상기 SOG용액을 스핀코팅하여 금속층 패턴들(52)을 완전히 덮도록 두께 3800 Å 내지 4500 Å인 제3 SOG막(54)을 형성한다.

<98> 도 4k를 참조하면, 상기 제3 SOG막(54)을 질소 분위기하, 약 170℃의 온도에서 약 4분간 프리-베이킹 공정을 수행하도록 한다. 퍼니스의 온도를 약 400℃ 정도로 유지시킨 상태에서 웨이퍼를 로딩시키고 퍼니스의 온도를 약 20℃/분의 속도로 상승시키도록 한

다. 이 때 퍼니스내의 분위기를 산소 분위기를 유지하도록 한다. 온도를 약 800℃ 까지 상승시키고 이 온도에서 약 50분간 메인-베이킹 공정을 수행하도록 한다. 메인-베이킹은 수분이 약 86 중량% 함유된 수증기 분위기에서 수행한다. 그러면, 경화 공정을 통하여 제3 SOG막(54)의 Si-N결합은 Si-O 결합으로 치환되어, 평탄한 표면을 갖는 제3 실리콘 산화막(54a)으로 전환된다.

<99> 이 후, 통상의 반도체 제조 공정을 거쳐서 반도체 장치를 완성한다.

<100> 이상과 같은 반도체 장치의 제조 공정에서, 절연막으로서 SOG 막의 적용시, 본 발명의 방법에 따라 최적화된 공정 조건을 적용하는 것에 의해 우수한 막질을 갖는 산화 실리콘막의 제조가 가능하게 된다.

【발명의 효과】

<101> 이상과 같이 본 발명에서는 SOG 조성물을 적용하고 이를 최적화된 공정 조건에 의하여 산화 실리콘막으로 변환하는 것에 의해 결함의 발생이 최소화 되고 우수한 막질을 갖는 산화 실리콘막의 형성이 가능하도록 하였다.

<102> 특히 SOG 막의 형성후 경화를 위해 수행되는 열처리 공정중에서 메인-베이킹 공정을 다단계로 나누어 적절한 조건하에서 진행함으로써 SOG 성분을 완전한 실리카 성분으로 전환시키도록 하였으며, 치밀하고 디펙트 발생이 없는 막질의 구현이 가능하게 되었다.

<103> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

1020030010159

출력 일자: 2003/3/12

벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

상면상에 형성된 단차부를 갖는 반도체 기판상에 스핀온글라스(SOG; spin-on-glass) 조성물을 도포하여 평탄한 SOG막을 형성하는 단계;

100 내지 500℃의 온도 범위에서 1 내지 10분 동안 프리-베이킹하는 단계;

웨이퍼의 로딩을 위한 퍼니스의 로딩 온도를 500℃ 이하의 온도 범위로 유지하는 단계;

웨이퍼를 로딩하는 단계; 및

500 내지 1200℃의 온도 범위에서 10 내지 120분 동안 메인-베이킹하는 단계를 포함하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 2】

제1항에 있어서, 상기 SOG막의 형성후 에지 비드 제거(edge bead removal) 공정을 더 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 3】

제2항에 있어서, 상기 산화 실리콘막의 형성후 CMP(chemical mechanical polishing) 공정을 더 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 4】

제1항에 있어서, 상기 프리-베이킹은 130 내지 230℃의 온도 범위에서 4 내지 6분 동안 수행되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 5】

제1항에 있어서, 상기 프리-베이크는 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 6】

제1항에 있어서, 메인-베이크는 30 내지 60분 동안 수행되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 7】

제1항에 있어서, 상기 메인-베이크는 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 8】

제1항에 있어서, 상기 웨이퍼의 로딩후 퍼니스의 온도를 $7\pm 3^{\circ}\text{C}/\text{분}$ 의 속도로 상승시키는 공정을 더 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 9】

제8항에 있어서, 상기 퍼니스의 온도 상승은 공기중, 산소 분위기, 수증기 분위기, 산소와 수증기의 혼합 분위기, 질소 분위기 또는 진공중에서 수행되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 10】

제1항에 있어서, 상기 SOG 조성물이 폴리실라잔계 SOG 조성물인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 11】

제10항에 있어서, 상기 SOG 조성물이

구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 20 내지 30중량%; 및

용매 80 내지 70중량%을 포함하는 것임을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 12】

제11항에 있어서, 상기 SOG 조성물은 54 내지 420 (1/s)의 전단 속도에서 1 내지 10 mPa.s의 일정한 점도를 갖는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 13】

제11항에 있어서, 상기 SOG 조성물은 하지막에 대하여 4° 이하의 콘택트 각을 갖는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 14】

제11항에 있어서, 상기 SOG 조성물은 붕소, 불소, 인, 비소, 탄소 및 산소로 구성된 군에서 선택된 적어도 하나의 원소를 포함하는 불순물을 포함하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 15】

제11항에 있어서, 상기 용매는 크실렌 또는 디부틸에테르인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 16】

제1항에 있어서, 상기 산화 실리콘막의 두께가 4000 내지 6500Å인 것을 특징으로 하는 반도체 장치의 산화 실리콘막의 형성 방법.

【청구항 17】

제1항에 있어서, 상기 단차부는 적어도 두 개의 도전성 패턴에 의해 형성되는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 18】

제17항에 있어서, 상기 두 개의 도전성 패턴간의 거리는 0.04 내지 1 μ m인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 19】

제17항에 있어서, 상기 두 개의 도전성 패턴은 반도체 장치의 게이트 전극 또는 금속 배선 패턴인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 20】

제1항에 있어서, 상기 단차부는 어스펙트비가 5:1 내지 10:1인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 21】

제1항에 있어서, 상기 단차부는 어스펙트비가 5:1 내지 10:1인 밀집 단차부와 어스펙트비가 1:1 이하인 글로벌 단차부를 포함하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 22】

제1항에 있어서, 상기 SOG 조성물을 도포하기 전에 질화실리콘막을 200 내지 600Å의 두께로 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 23】

상면상에 형성된 단차부를 갖는 반도체 기판상에 구조식이 $-(\text{SiH}_2\text{NH})_n-$ (식중, n 은 양의 정수이다)이고, 중량평균 분자량이 4000 내지 8000이고, 분자량 분포도가 3.0 내지 4.0인 퍼하이드로 폴리실라잔 20 내지 30중량%, 및 용매 80 내지 70중량%을 포함하는 스피논글라스(SOG; spin-on-glass) 조성물을 도포하여 평탄한 SOG막을 형성하는 단계;

130 내지 230℃의 온도 범위에서 4 내지 6분 동안 프리-베이킹하는 단계;

웨이퍼의 로딩을 위한 퍼니스의 로딩 온도를 500℃ 이하의 온도 범위로 유지하는 단계;

상기 웨이퍼의 로딩후 퍼니스의 온도를 $7\pm 3^{\circ}\text{C}/\text{분}$ 의 속도로 상승시키는 공정을 수행하는 단계; 및

500 내지 1200°C 의 온도 범위에서 30 내지 60분 동안 메인-베이킹하는 단계를 포함하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 24】

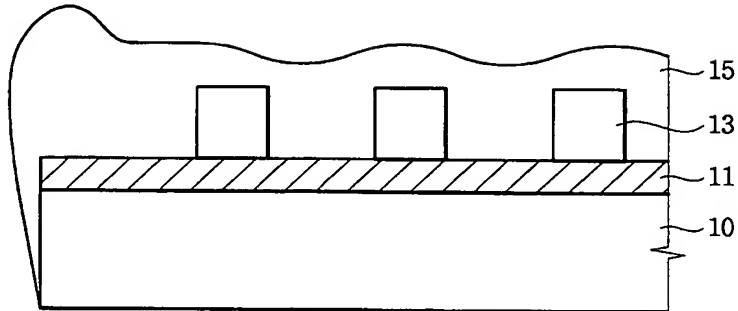
제23항에 있어서, 상기 SOG막의 형성후 에지 비드 제거(edge bead removal) 공정을 더 수행하고 상기 산화 실리콘막의 형성후 CMP(chemical mechanical polishing) 공정을 더 수행하는 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【청구항 25】

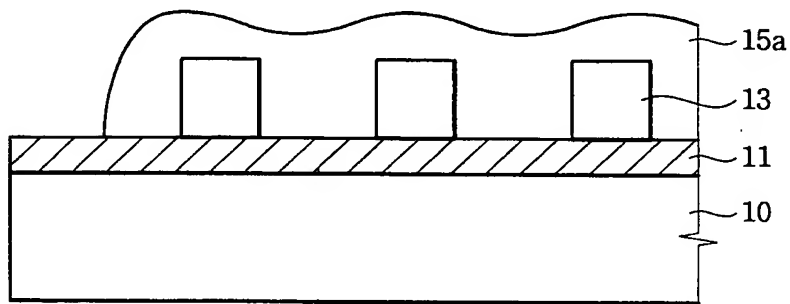
제23항에 있어서, 상기 단차부는 어스펙트비가 5:1 내지 10:1인 것을 특징으로 하는 반도체 장치의 산화 실리콘막 형성 방법.

【도면】

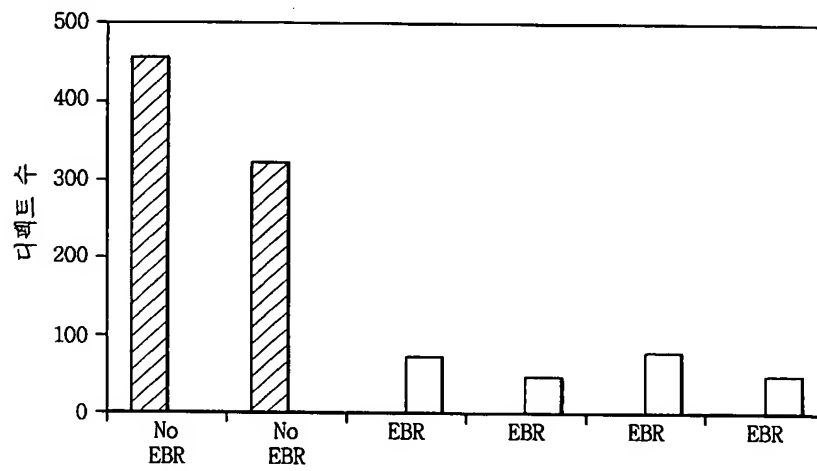
【도 1a】



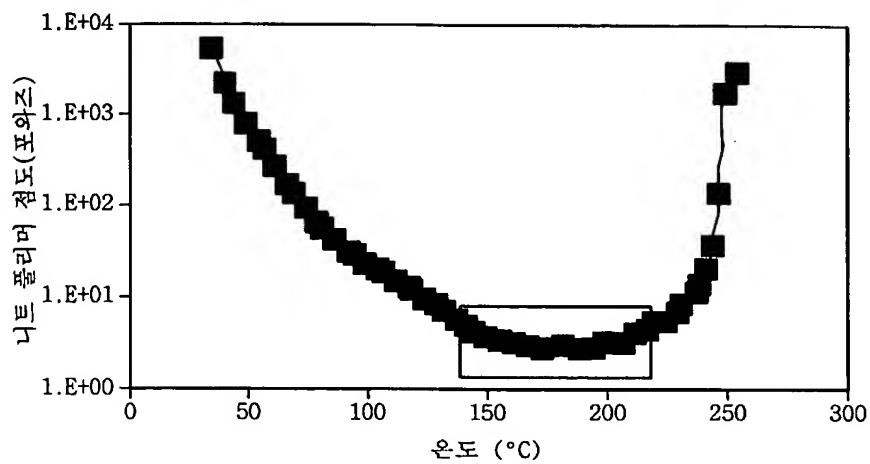
【도 1b】



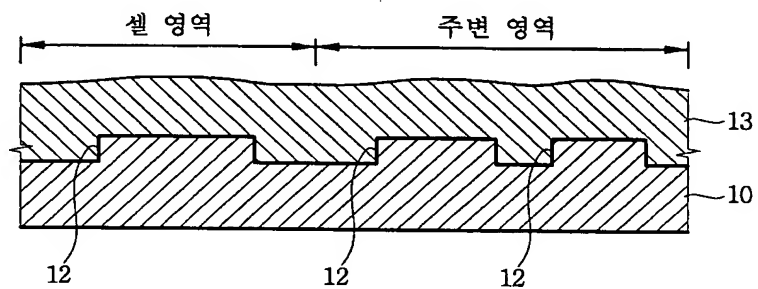
【도 2】



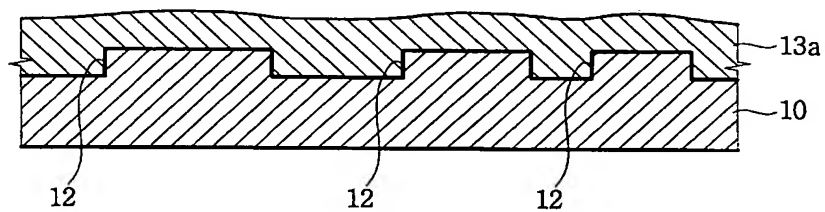
【도 3】



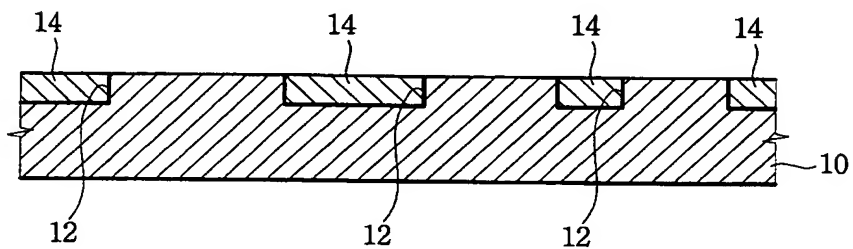
【도 4a】



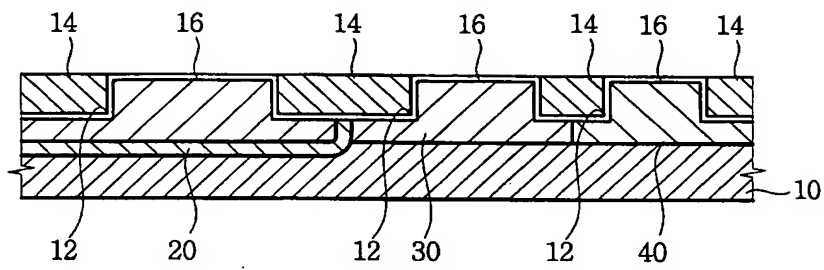
【도 4b】



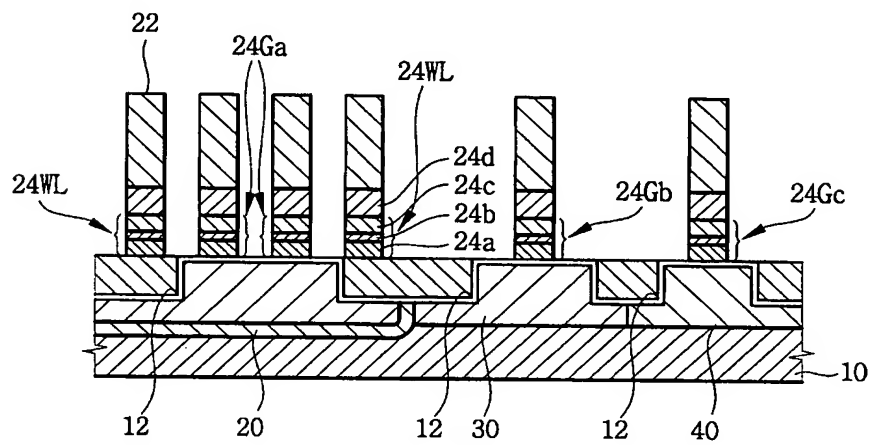
【도 4c】



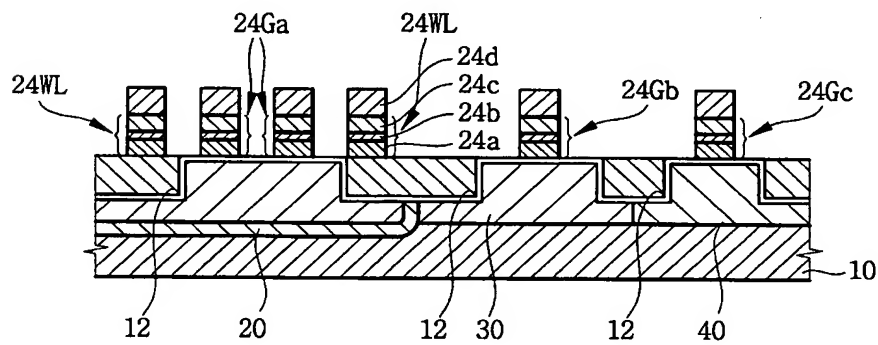
【도 4d】



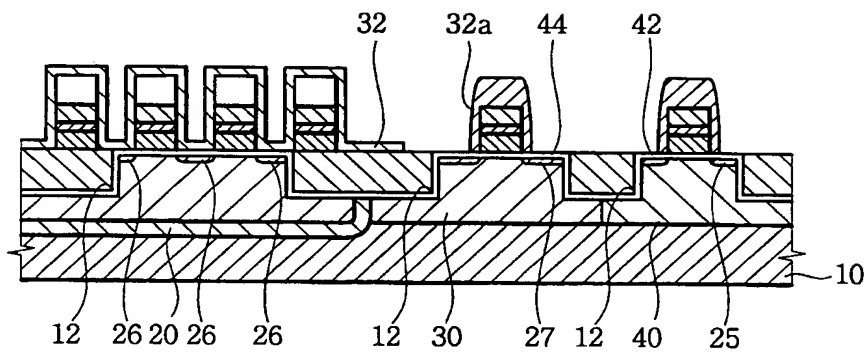
【도 4e】



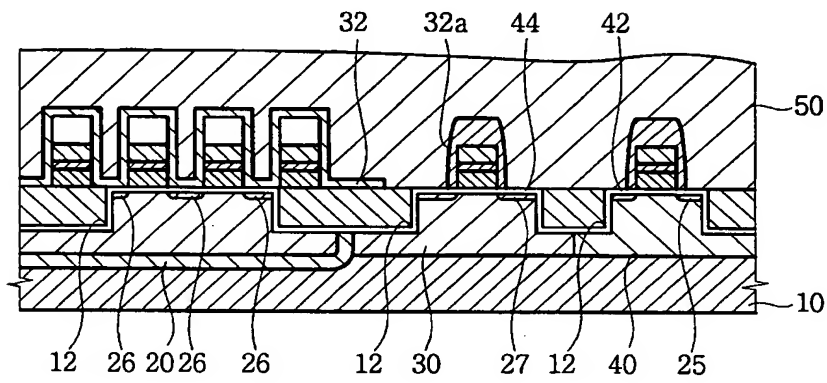
【도 4f】



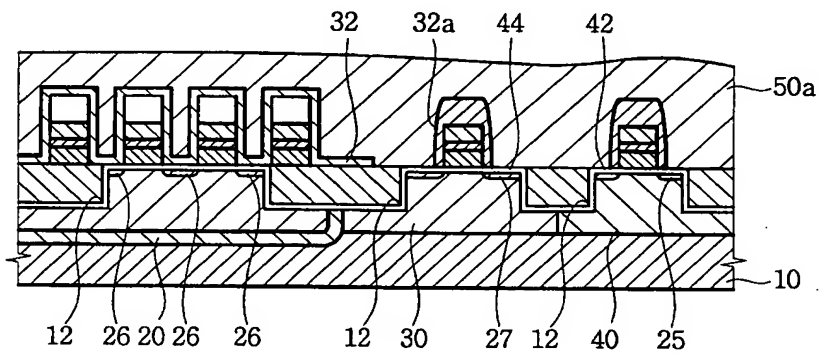
【도 4g】



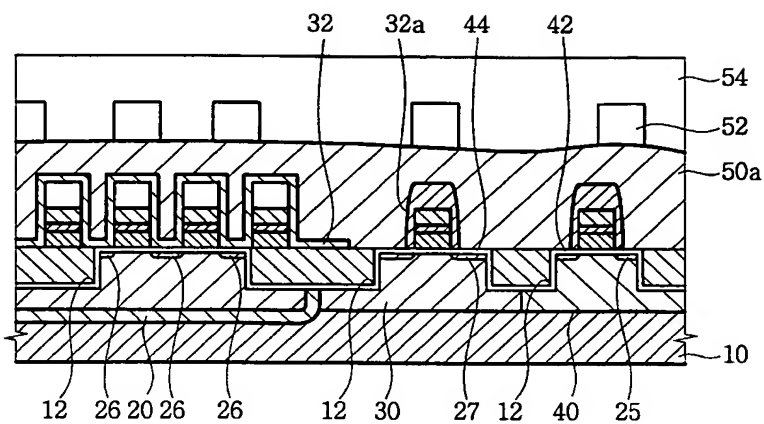
【도 4h】



【도 4i】



【도 4j】



【도 4k】

